

## PATENT ABSTRACTS OF JAPAN

3

(11)Publication number : 08-153393

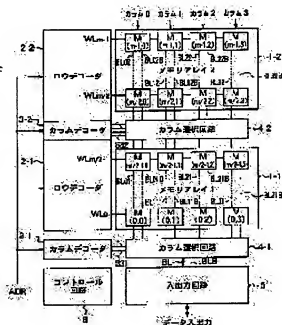
(43)Date of publication of application : 11.06.1996

(51)Int.Cl. G11C 11/41  
G11C 11/401(21)Application number : 06-295401 (71)Applicant : SONY CORP  
(22)Date of filing : 29.11.1994 (72)Inventor : KONUMA KOICHI

## (54) SEMICONDUCTOR MEMORY CIRCUIT

## (57)Abstract:

PURPOSE: To realize a semiconductor memory circuit capable of preventing unwanted current consumption. CONSTITUTION: Two memory arrays 1-1 and 1-2 are constituted by bisecting the memory array constituted of arranging memory cells  $M(0, 0)$ - $M(m-1, 3)$  consisting of a static RAM in matrix of (m) rows four columns (columns 0-3) in the direction of a word line. A column selection circuit 4-2 is arranged between the memory array 1-1 and the memory array 1-2, and only a bit line pair selected by address specification is short-circuited between the divided memory arrays 1-1, 1-2, and the non-selected bit line is held in an electrically opened state.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

特開平8-153393

(43) 公開日 平成8年(1996)6月11日

(51) Int.Cl.<sup>6</sup>G11C 11/41  
11/401

識別記号

片内整理番号

F I

技術表示箇所

G11C 11/34

301 E

M

362 B

審査請求 未請求 請求項の数1 O L (全7頁)

(21) 出願番号 特願平6-295401

(22) 出願日 平成6年(1994)11月29日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 小沼 弘一

東京都品川区北品川6丁目7番35号 ソニー株式会社内

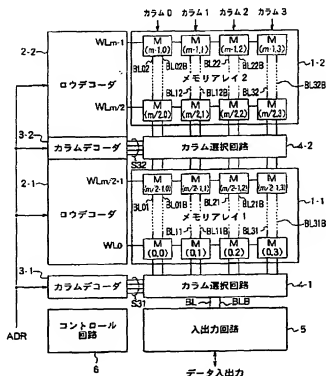
(74) 代理人 弁理士 佐藤 隆久

## (54) 【発明の名称】 半導体メモリ回路

## (57) 【要約】

【目的】 不要な電流消費を防止できる半導体メモリ回路を実現する。

【構成】 スタティック RAM かなるメモリセル M(0, 0) ~ M(m-1, 3) を m 行 4 列 (カラム 0 ~ 3) のマトリクス状に配列してなるメモリアレイを、ワード線方向に 2 分割して 2 つのメモリアレイ 1-1 およびメモリアレイ 1-2 を構成し、メモリアレイ 1-1 とメモリアレイ 1-2 との間にカラム選択回路 4-2 を配置し、分割されたメモリアレイ 1-1、1-2 間で、アドレス指定により選択されたビット線対のみを短絡し、非選択のビット線を電氣的に開放状態に保持する。



## 【特許請求の範囲】

【請求項1】 複数のメモリセルが複数行および複数列のマトリクス状に配列されたメモリアレイを有し、アドレス指定されたワード線を駆動してメモリセルとビット線とを自動的に接続してデータの授受を行わせる半導体メモリ回路であって、上記ビット線を分割して、上記メモリアレイを複数のサブメモリアレイに分割し、サブメモリアレイ間で、アドレス指定により選択されたビット線に対応する分割ビット線を短絡し、非選択のビット線を電氣的にメモリアレイ間を開放状態に保持する回路を有する半導体メモリ回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、複数のメモリセルが複数行および複数列のマトリクス状に配列されたメモリアレイを有する半導体メモリ回路に関するものである。

## 【0002】

【従来の技術】 図8は、従来の半導体メモリ回路の構成例を示す回路図である。この半導体メモリ回路は、たとえばスタティックRAMからなるメモリセルM(0,0)～M(m-1,3)をm行4列のマトリクス状に配列してなるメモリアレイ1と、アドレス信号ADRを受けて、メモリアレイ1の各行のメモリセルに接続されたm本のワード線WL0～WLm-1のうちから、アドレス信号ADRによりアドレス指定されたワード線1本を選択して駆動するロウデコーダ2と、アドレス信号ADRを受けて、メモリアレイ1の各列のメモリセルに接続されたビット線対BL0とBL0B、BL1とBL1B、BL2とBL2B、BL3とBL3Bのうちからアドレス信号ADRによりアドレス指定されたビット線対を選択するためのカラム選択信号S3を生成するカラムデコーダ3と、カラム選択信号S3を受けてアドレス指定されたビット線対を選択してビット線対BLとBLBに接続するカラム選択回路4と、ビット線対BL、BLB間の電位差を増幅してアドレス指定されたメモリセルのデータを読み出して出力するクロスカプル型（差動型）のセンスアンプを備えた入出力回路5と、ロウデコーダ2、カラムデコーダ3、入出力回路5等の動作制御を行うコントロール回路6とから構成されている。

【0003】 この半導体メモリ回路の読み出し動作を、図9のタイミングチャートを参照しつつ説明する。まず、プリチャージ期間においては、全てのビット線対BL0とBL0B、BL1とBL1B、BL2とBL2B、BL3とBL3Bがハイレベルに保持されている。次に、アドレス信号ADRが、ロウデコーダ2およびカラムデコーダ3に入力される。ロウデコーダ2では、アドレス信号ADRに基づきアドレス指定された1本のワード線が選択され駆動される。これに並行して、カラムデコーダ3では、アドレス信号ADRに基づきアンド

ートによりアドレス指定されたビット線対を選択するためのカラム選択信号S3が生成されてカラム選択回路4に出力される。そして、カラム選択回路4において、アドレス指定のビット線対が選択され、選択されたビット線対がビット線対BL、BLBに接続される。

【0004】 メモリアレイ1では、駆動されたワード線に接続されたメモリセルの記憶データがビット線対BL0とBL0B、BL1とBL1B、BL2とBL2B、BL3とBL3Bに出力される。このとき、ビット線対BL0とBL0B、BL1とBL1B、BL2とBL2B、BL3とBL3Bのうちのいずれか一方は、記憶データに応じて放電される。そして、カラム選択回路4で選択されたビット線対に出力されたデータは、ビット線対BL、BLBを介して入出力回路5に入力される。入出力回路5では、ビット線対BL、BLB間の電位差が増幅される。これにより、アドレス指定されたメモリセルからの読み出しデータが出力される。

## 【0005】

【発明が解決しようとする課題】 ところで、上述した半導体メモリ回路の読み出し動作におけるビット線に注目すると、4組のビット線対BL0とBL0B、BL1とBL1B、BL2とBL2B、BL3とBL3Bから出力されるデータのうち、必要なデータはアドレス指定されたカラムの1組のビット線から出力されるデータのみであり、残りの3組のビット線対のデータは不要である。一方、RAMの消費電流の中では、ビット線の充電／放電に伴う電流は全電流の大半を占めているため、上述した回路構成では、無駄な電流消費を行っていることになる。

【0006】 本発明は、かかる事情に鑑みてなされたものであり、その目的は、不要な電流消費を防止できる半導体メモリ回路を提供することにある。

## 【0007】

【課題を解決しようとする手段】 上記目的を達成するため、本発明は、複数のメモリセルが複数行および複数列のマトリクス状に配列されたメモリアレイを有し、アドレス指定されたワード線を駆動してメモリセルとビット線とを自動的に接続してデータの授受を行わせる半導体メモリ回路であって、上記ビット線を分割して、上記メモリアレイを複数のサブメモリアレイに分割し、サブメモリアレイ間で、アドレス指定により選択されたビット線に対応する分割ビット線を短絡し、非選択のビット線を電氣的にメモリアレイ間を開放状態に保持する回路を有する。

## 【0008】

【作用】 本発明の半導体メモリ回路によれば、読み出しまたは書き込み命令を受けると、分割されたメモリアレイ間で、アドレス指定により選択されたビット線のみが短絡され、非選択のビット線は電氣的に開放状態に保持される。その結果、駆動されたワード線に接続されたメ

4

アドレス指定されたビット線対を選択してメモリアレイ  
1-1のビット線対に接続し、非選択のビット線対は電  
氣的に開放状態に保持する。

【0014】図2はカラムデコーダ3-1およびカラム

選択回路 4-1 の具体的な回路構成例を示し、図 3 はカラムデコーダ 3-2 およびカラム選択回路 4-2 の具体的な回路構成例を示している。図 2 および図 3 に示すように、カラムデコーダ 3-1、3-2 は、入力に 4 本のアドレス信号線 ADRL のうちの 2 本が選択的に接続されたナンドゲート N3 1 ~ N3 4 と、入力にナンドゲート N3 1 ~ N3 4 の出力が接続されたインパルサ I 3 1

～I34と、一方の入力にインバータI31～I34の出力が接続され、他方の入力にカラムイネーブル信号線CELが接続されたナンドゲートN35～N38と、入力にナンドゲートN35～N38の出力が接続され、出力からカラム選択信号S31、S32を出力するインバータI35～I38とから構成されている。

【0015】カラム選択回路4-1、4-2は、ゲートがカラムデコーダのインプタ135の出力に接続されたnチャネルNMOS（NMOS）トランジスタ40、40B、ゲートがカラムデコーダのインプタ136の出力に接続されたNMOSトランジスタ41、41B、ゲートがカラムデコーダのインプタ137の出力に接続されたNMOSトランジスタ42、42B、およびゲートがカラムデコーダのインプタ138の出力に接続されたNMOSトランジスタ43、43Bにより構成されている。そして、カラム選択回路4-1のNMOSトランジスタ40、40Bはメモリアレイ1-1のビット線対BLO1、BLO1Bをビット線対BL、BLBにそれぞれカラム選択信号S31に応じて作動的に接続し、NMOSトランジスタ41、41Bはビット線対BL11、BL11Bをビット線対BL、BLBにそれぞれカラム選択信号S31に応じて作動的に接続し、NMOSトランジスタ42、42Bはビット線対BL21、BL21Bをビット線対BL、BLBにそれぞれカラム選択信号S31に応じて作動的に接続し、NMOSトランジスタ43、43Bはビット線対BL31、BL31Bをビット線対BL、BLBにそれぞれカラム選択信号S31に応じて作動的に接続する。

【0016】同様に、カラム選択回路4-2のNMOSトランジスタ40、40Bはメモリアレイ1-2のビット線対BL02、BL02Bをメモリアレイ1-1の

ット線対B L01， B L01 Bに対しカム選択信号S32に応じて作動的に接続し、NMOSTランジスタ41， 41 Bはビット線対B L12， B L12 Bをビット線対B L11， B L11 Bに対しカム選択信号S31に応じて作動的に接続し、NMOSTランジスタ42， 42 Bはビット線対B L22， B L22 Bをビット線対B L21， B L21 Bに対しカム選択信号S32に応じて作動的に接続し、NMOSTランジスタ43， 43 Bは

5

Bはビット線対BL32、BL32Bをビット線対BL31、BL31Bに対しカラム選択信号S32に応じて作動的に接続する。

【0017】次に、上記構成による読み出し動作を、図4のタイミングチャートを参照しつつ説明する。まず、プリチャージ期間においては、全てのビット線対BLOとBLOB、BL1とBL1B、BL2とBL2B、BL3とBL3Bがハイレベルに保持されている。次に、アドレス信号ADRがロウデコーダ2-1、2-2およびカラムデコーダ3-1、3-2にそれぞれ入力される。ここでアドレス信号ADRにより、たとえばメモリアレイ1-2のカラム0、すなわち、ビット線対BLO2、BLO2Bに接続されたメモリスセルのうちの1つのメモリスセル(m-1,0)が指定されたとすると、ロウデコーダ2-2によりアドレス指定に基づいてワード線WL

m-1が選択され駆動される。

【0018】また、カラムデコーダ3-2では、これに並行して、アドレス信号ADRに基づきアドレス指定されたカラム0のメモリアレイ1-2のビット線対BLO2、BLO2Bとメモリアレイ1-1のビット線対BLO1、BLO1Bとを接続するためのカラム選択信号S32が生成され、カラム選択回路4-2に出力される。これにより、メモリアレイ1-2の4組のビット線対のうち選択されたビット線対BLO2、BLO2Bのみがメモリアレイ1-1のビット線対BLO1、BLO1Bと接続され、非選択の3組のビット線対BL12とBL12B、BL22とBL22B、BL32とBL32Bは非接続状態で電氣的に開放状態に保持される。同様に、カラムデコーダ3-1では、アドレス信号ADRに基づきアドレス指定されたカラム0のメモリアレイ1-1のビット線対BLO1、BLO1Bとビット線対BL1、BL1Bとを接続するためのカラム選択信号S31が生成され、カラム選択回路4-1に出力される。これにより、メモリアレイ1-1の4組のビット線対のうち選択されたビット線対BLO1、BLO1Bのみが出力用のビット線対BL1、BL1Bと接続され、非選択の3組のビット線対BL11とBL11B、BL21とBL21B、BL31とBL31Bは非接続状態で電氣的に開放状態に保持される。

【0019】ワード線WLm-1が駆動されると、メモリアレイ1-2では、駆動されたワード線WLm-1に接続されたメモリスセルの記憶データM(m-1,0)～M(m-1,3)がビット線対BLO2とBLO2B、BL12とBL12B、BL22とBL22B、BL32とBL32Bに出力される。このとき、ビット線対BLOとBLOB、BL1とBL1B、BL2とBL2B、BL3とBL3Bのうちのいずれか一方は、記憶データに応じて放電される。したがって、メモリアレイ1-2においては、全てのビット線対BLO2とBLO2B、BL12とBL12B、BL22とBL22B、BL32とBL32B

6

にて電流は消費される。しかし、メモリアレイ1-1においては、カラム選択回路4-2の選択的接続によりカラム0のビット線対BLO1、BLO1Bのみに電流が流れ、他のビット線対BL11とBL11B、BL21とBL21B、BL31とBL31Bはプリチャージされたまま状態の保持され電流は流れない。すなわち、不要な電流の消費は行われない。

【0020】そして、カラム選択回路4-1で選択されたビット線対BLO1、BLO1Bに出力されたデータは、ビット線対BL1、BL1Bを介して入出力回路5に入力される。入出力回路5では、ビット線対BL1、BL1B間の電位差が増幅される。これにより、アドレス指定されたメモリスセル(m-1,0)からの読み出しデータが出力される。

【0021】以上説明したように、本第1の実施例によれば、スタティックRAMからなるメモリスセル(0,0)～M(m-1,3)をm行4列(カラム0～3)のマトリクス状に配列してなるメモリアレイを、ビット線方向に2分割して2つのメモリアレイ1-1およびメモリアレイ1-2を構成し、メモリアレイ1-1とメモリアレイ1-2の間にカラム選択回路4-2を配置し、分割されたメモリアレイ1-1、1-2間で、アドレス指定により選択されたビット線対のみを短絡し、非選択のビット線を電氣的に開放状態に保持するようにして、ビット線対における不要な電流消費を防止できる利点がある。

【0022】なお、本第1の実施例の場合は、メモリアレイを2分割にしていることから、図8に示す従来回路に対してメモリアレイ上で消費される電力は、 $1/4 + (3/4) \cdot 2/5 = 8/63$ に低減される。

【0023】図5は、本発明に係る半導体メモリ回路の第2の実施例を示す回路図である。本第2の実施例では、メモリアレイを2分割ではなく、3分割にした回路構成を示している。

【0024】本構成において、ロウデコーダ2-1は、アドレス信号ADRを受けてメモリアレイ1-1のメモリスセル(0,0)～M(m/3-1,3)のうちの各行の4個のメモリスセルに接続されたm/3本のワード線WLO～WL(m/3)-1のうちから1本を選択して駆動する。同様に、ロウデコーダ2-2は、アドレス信号ADRを受けてメモリアレイ1-2のメモリスセル(m/3,0)～M(2m/3-1,3)のうちの各行の4個のメモリスセルに接続されたm/3本のワード線WLm/3～WL(2m/3)-1のうちから1本を選択して駆動する。ロウデコーダ2-3は、アドレス信号ADRを受けてメモリアレイ1-3のメモリスセル(2m/3,0)～M(m-1,3)のうちの各行の4個のメモリスセルに接続されたm/3本のワード線WL2m/3～WL(2m/3)-1のうちから1本を選択して駆動する。

【0025】カラムデコーダ3-1は、アドレス信号ADRを受けて、メモリアレイ1-1の各列のメモリスセルに接続されたビット線対BLO1とBLO1B、BL1

50

1とBL11B、BL21とBL21B、BL31とBL31Bのうちからアドレス信号ADRによりアドレス指定されたビット線対を選択するためのカラム選択信号S31を生成し、カラム選択回路4-1に出力する。カラム選択回路4-1は、カラム選択信号S31を受けてアドレス指定されたメモリアレイ1-1のビット線対を選択してビット線対BL1とBL2とに接続する。

【0026】カラムデコーダ3-2は、アドレス信号ADRを受けて、メモリアレイ1-1の各列のメモリセルに接続されたビット線対BL02とBL02B、BL12とBL12B、BL22とBL22B、BL32とBL32Bのうちからアドレス信号ADRによりアドレス指定されたビット線対を選択するためのカラム選択信号S32を生成し、カラム選択回路4-2に出力する。カラム選択回路4-2は、カラム選択信号S32を受けてアドレス指定されたメモリアレイ1-2のビット線対を選択してメモリアレイ1-1のビット線対に接続し、非選択のビット線対は電氣的に開放状態に保持する。

【0027】カラムデコーダ3-3は、アドレス信号ADRを受けて、メモリアレイ1-3の各列のメモリセルに接続されたビット線対BL03とBL03B、BL13とBL13B、BL23とBL23B、BL33とBL33Bのうちからアドレス信号ADRによりアドレス指定されたビット線対を選択するためのカラム選択信号S33を生成し、カラム選択回路4-3に出力する。カラム選択回路4-3は、カラム選択信号S33を受けてアドレス指定されたメモリアレイ1-3のビット線対を選択してメモリアレイ1-2のビット線対に接続し、非選択のビット線対は電氣的に開放状態に保持する。

【0028】なお、カラムデコーダ3-1およびカラム選択回路4-1は図2に示す回路と同様の回路により構成され、カラムデコーダ3-2およびカラム選択回路4-2、並びにカラムデコーダ3-3およびカラム選択回路4-3は図3に示す回路と同様の回路により構成される。

【0029】このような構成においても、上述した第1の実施例と同様の動作が行われる。図6にそのタイミングチャートを示す。なお、図6は、メモリアレイ1-2のカラム1を選択した場合の動作例を示している。この場合、メモリアレイ1-2の4組のビット線対BL02とBL02B、BL12とBL12B、BL22とBL22B、BL32とBL32Bにはデータが出力され、電流が消費されるが、メモリアレイ1-1および1-3では、選択されたカラム1のビット線対BL11とBL11B、およびBL13とBL13B以外のビット線対は、プリチャージされた状態のままに保持され、不要な電流消費が防止される。

【0030】本第2の実施例によれば、メモリアレイを3分割したことから、第1の実施例の場合に比べてさらにビット線対における不要な電流消費を防止できる利点

がある。具体的には、図8に示す従来回路に対してメモリアレイ上で消費される電力は、 $1/4 + (3/4) / 3 = 6/12 = 50\%$ に低減される。

【0031】なお、上述した各実施例では、カラム数が4のメモリアレイを2分割、3分割にした場合を例に説明したが、これに限定されるものではなく、分割数が多いほど消費電流の低減幅が大きくなる。また、図7に示すように、同じ分割数であっても、カラム数が多い場合の方が不要な電流消費の低減の効果は大きい。

【0032】また、上述した各実施例では、読み出し動作を例に説明したが、書き込み時にも非選択カラム上のビット線は読み出し動作の場合と同様な動作が行われるために、本発明は、書き込みにおいても上述した読み出し動作と同様の効果を得ることができる。また、本発明は、シングルポートSRAM以外のメモリ回路、たとえばポータブルSRAMやROM等にも広く適用することができる。

#### 【0033】

【発明の効果】以上説明したように、本発明の半導体メモリ回路によれば、メモリアレイを行方向に複数のメモリアレイに分割し、分割されたメモリアレイ間で、アドレス指定により選択されたビット線のみを短絡し、非選択のビット線は電氣的に開放状態に保持するようにしたので、ビット線における不要な電流消費を防止できる利点がある。

#### 【図面の簡単な説明】

【図1】本発明に係る半導体メモリ回路の第1の実施例を示す回路図である。

【図2】本発明に係るカラムデコーダおよびカラム選択回路の構成例を示す回路図である。

【図3】本発明に係るカラムデコーダおよびカラム選択回路の構成例を示す回路図である。

【図4】図1の回路の動作を説明するためのタイミングチャートである。

【図5】本発明に係る半導体メモリ回路の第2の実施例を示す回路図である。

【図6】図5の回路の動作を説明するためのタイミングチャートである。

【図7】本発明に係るメモリアレイ分割数、カラム数に応じた消費電流の従来比を示す図である。

【図8】従来の半導体メモリ回路の構成例を示す回路図である。

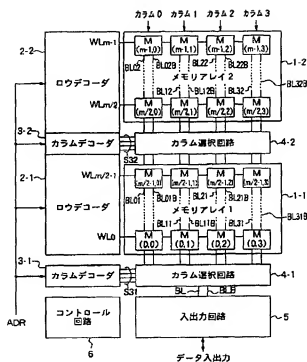
【図9】図8の回路の動作を説明するためのタイミングチャートである。

#### 【符号の説明】

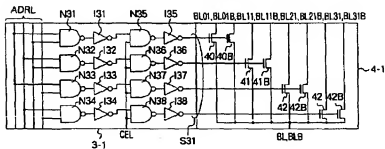
1-1、1-2、1-3…メモリアレイ  
2-1、2-2、2-3…ロウデコーダ  
3-1、3-2、3-3…カラムデコーダ  
4-1、4-2、4-3…カラム選択回路  
5…入出力回路

## 6...コントロール回路

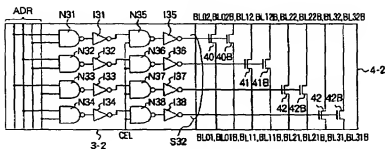
【図1】



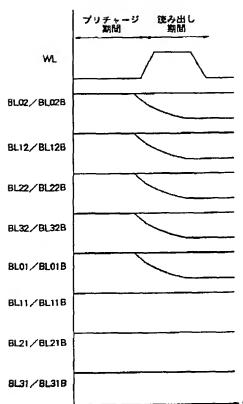
【図2】



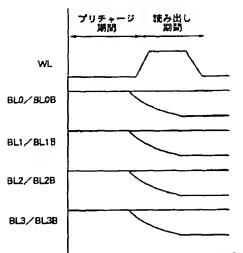
【図3】



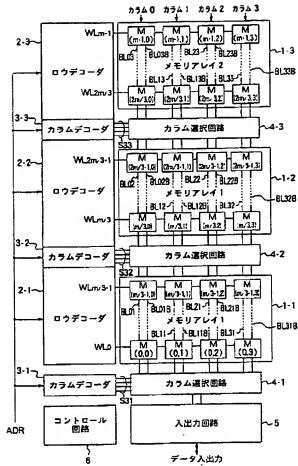
【図4】



【図9】



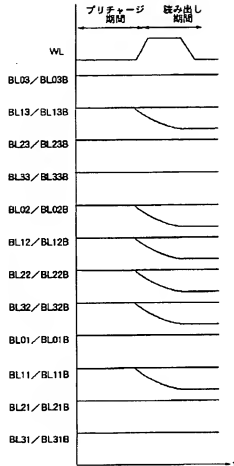
【図 5】



【図 7】

メモリアレイ分割数	カラム数	消費電流(従来比)
2	4	$1/4 + (3/4)/2 = 5/8 = 63\%$
2	8	$1/8 + (7/8)/2 = 5/16 = 31\%$
3	4	$1/4 + (3/4)/3 = 6/12 = 50\%$
3	8	$1/8 + (7/8)/3 = 10/24 = 42\%$

【図 6】



【図 8】

